

④

A/D CONVERTER FOR DC SIGNAL MEASUREMENT

Publication number: JP7193507 (A)

Publication date: 1995-07-28

Inventor(s): KOBAYASHI HARUO

Applicant(s): YOKOGAWA ELECTRIC CORP

Classification:

- international: G01R19/00; G01R19/25; H03M1/08; H03M3/02; G01R19/00; G01R19/25; H03M1/08; H03M3/02; (IPC1-7): H03M3/02; G01R19/00; G01R19/25; H03M1/08

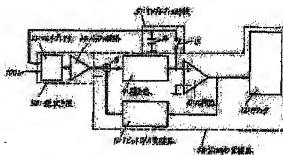
- European:

Application number: JP19930331961 19931227

Priority number(s): JP19930331961 19931227

Abstract of JP 7193507 (A)

PURPOSE: To obtain an A/D converter for DC signal measurement with high resolution, which can convert data in short time and which is easily made into IC, by A/D-converting analog voltage in a first step and A/D-converting measurement error voltage occurred in conversion in a second step in a SIGMADELTA/A/D converter. **CONSTITUTION:** A selection means 50, a sampling hold means 51 and the SIGMADELTA/A/D converter 52 are provided. The selection means 50 consists of a multiplexer 13 and a buffer circuit 14, and an analog input 100b is inputted. The sampling hold means 51 consists of a switch circuit 15 and a capacity 16. The SIGMADELTA/A/D converter 52 consists of a subtractor 8, an integrator 9, a comparator 10, a one bit D/A converter 11 and a counter 12. The A/D conversion of $\log_2(N1 \cdot N2)^2$ bit resolution can be conducted by the clock of $N1 \cdot N2$ by A/D-converting the analog input 100b in the first step at the SIGMADELTA/A/D converter 52 and A/D- converting measured error voltage occurred in conversion in the second step with such constitution.

Data supplied from the *esp@cenet* database — Worldwide

【特許請求の範囲】

【請求項1】 直流信号を測定するA/D変換器において、
前記直流信号をディジタル信号に変換する $\Delta\Sigma$ A/D変換器と、
前記直流信号の変換の際に生じる測定誤差電圧を保持するサンプルホールド手段と、
前記直流信号と保持した前記測定誤差電圧との和れか一方を選択して前記 $\Delta\Sigma$ A/D変換器に出力する選択手段とを備えたことを特徴とする直流信号測定用A/D変換器。

【発明の詳細な説明】

【0001】

【産業上利用分野】 本発明は直流信号を測定するDDM(Digital Multimeter)等を用いるA/D変換器に関し、特に短い変換時間で高分解能が得られるA/D変換器に関する。

【0002】

【従来の技術】 従来直流信号を測定するA/D変換器は2重積分型A/D変換器が多く用いられていた。但し、2重積分型A/D変換器は高分解能を得ようとすると長い変換時間を要するためマルチステップ化して変換時間を短縮していた。

【0003】 図4はこのような従来の2重積分型A/D変換器の一例を示す回路図である。図4において1及び3は演算増幅器、2は抵抗、4は容量、5は比較器、6及び7はスイッチ回路、100はアナログ入力、101はカウンタ出力、102は基準電圧である。

$$V_i \approx (N_{i1}/N_{i2}) \times V_i$$

となる。

【0009】 この時前記積分器の出力は図5中“ホ”の※

$$E_1 = N_{i1} \cdot V_i - N_{i2} \cdot V_i$$

である。

【0010】 第3に図5中“ハ”の期間において測定誤差 E_1 を図示しない手段により $-K_1$ 倍にして容量4に充電する。即ち演算増幅器3の出力は図5中“ベ”となる。

【0011】 第4にスイッチ回路6を“OFF”に、★

$$K_1 \cdot E_1 - N_{i2} \cdot V_i \approx 0$$

$$E_1 \approx N_{i2} \cdot V_i / K_1$$

となる。

【0013】 また、式(3)を式(2)に代入すると★

$$V_i \approx (N_{i1}/N_{i2}) \cdot V_i + (N_{i2}/K_1 \cdot N_{i2}) \cdot V_i$$

$$= V_i / N_{i1} \cdot (N_{i1} + N_{i2} / K_1) \quad (4)$$

となる。

【0014】 この結果、例えば16ビット分解能のA/D変換器を実現しようとすると式(1)のみでは $N_{i1} = 2^{16}$ のカウンタが必要になる。これに対して、2ステップにすることにより、式(4)から $K_1 = 32$ とすれば $N_{i1} = 2^{11}$ 、 $N_{i2} = 2^5$ 、即ち $2^{11} +$

*【0004】 アナログ入力100及び基準電圧102はスイッチ回路6及び7に入力され、スイッチ回路6及び7の出力は演算増幅器1の非反転入力端子に接続される。演算増幅器1の出力は演算増幅器1の反転入力端子に接続されると共に抵抗2の一端に接続される。

【0005】 また、抵抗2の他端は演算増幅器3の反転入力端子及び容量4の一端に接続される。演算増幅器3の出力は容量4の他端及び比較器5の反転入力端子に接続される。さらに、演算増幅器3及び比較器5の非反転入力端子は接地され、比較器5の出力はカウンタ出力101として出力される。このカウンタ出力101は図示しないカウンタ等によってカウンタされディジタル出力として出力される。

【0006】 ここで、図5は図4に示す従来例の動作を示すタイミング図であり、図4に示す従来例の動作を図5を用いて説明する。先ず第1にスイッチ回路6のみを“ON”にしてアナログ入力100を演算増幅器1に入力して図2中“イ”の期間を2〜4で構成される積分器で積分する。

20 【0007】 第2にスイッチ回路6を“OFF”に、スイッチ回路7を“ON”にして基準電圧102を演算増幅器1に入力して演算増幅器3の出力が“0”になるまで、即ち図5中“ロ”の期間を2〜4で構成される積分器で積分する。

【0008】 アナログ入力100を V_i 、基準電圧102を $-V_i$ 、図5中“イ”及び“ロ”の期間のカウンタ値を N_{i1} 及び N_{i2} とするとアナログ入力100は、

(1)

30 ※分だけ測定誤差が生じており、この測定誤差 E_1 は、

(2)

★スイッチ回路7を“ON”にして基準電圧102を演算増幅器1に入力して演算増幅器3の出力が“0”になるまで、即ち図5中“二”の期間2〜4で構成される積分器で積分する。

【0012】 ここで、図5中“二”の期間のカウンタ値を N_{i2} とすると、

(3)

★アナログ入力100は、

2⁵のカウンタで済むことになる。

【0015】 また、従来の直流信号測定用のA/D変換器としては $\Delta\Sigma$ A/D変換器も用いられている。図6はこのような従来の $\Delta\Sigma$ A/D変換器の一例を示す構成ブロック図である。図6において8は減算器、9は積分器、10は比較器、11は1ビットD/A変換器、12

3

はカウンタ、100aはアナログ入力である。

【0016】アナログ入力100aは減算器8の加算入力端子に接続され、減算器8の出力は積分器9に接続される。積分器9の出力は比較器10の非反転入力端子に接続され、比較器10の反転入力端子は接地される。

【0017】比較器10の出力は1ビットD/A変換器11及びカウンタ12に接続され、1ビットD/A変換器11の出力は減算器8の減算入力端子に接続される。

【0018】ここで、図6に示す従来例の動作を簡単に説明する。アナログ入力100aは積分器9で積分された後、1ビットA/D変換器である比較器10によってデジタル信号に変換される。このデジタル信号は1ビットD/A変換器11で再びアナログ信号に変換されアナログ入力100aから減算される。

【0019】この結果、アナログ入力100aがデジタル信号に変換され、このデジタル信号をカウンタ12でカウントすることによりアナログ入力100aがデジタル出力に変換される。

【0020】

【発明が解決しようとする課題】しかし、図4に示す従来例では変換時間は短縮されるものの積分器を構成する抵抗2及び容量4には大きな抵抗値及び大きな容量値のものが必要となりIC化する場合、抵抗2及び容量4は外付けしなければならないと言った問題点がある。

【0021】また、図4に示す従来例ではアナログ入力100の極性を判断して基準電圧の極性を選択する手段が必要であるといった問題点がある。

【0022】さらに、図6に示す従来例ではIC化は容易ではあるが変換方法が式(1)の方式であるため高分解能を得ようとするとき変換時間が長くなると言った問題点がある。従って本発明の目的は、高分解能、短変換時間で尚且つIC化が容易である直流信号測定用A/D変換器を実現することにある。

【0023】

【課題を解決するための手段】このような目的を達成するために、本発明では、直流信号を測定するA/D変換器において、前記直流信号をデジタル信号に変換する $\Delta\Sigma$ A/D変換器と、前記直流信号の変換の際に生じる測定誤差電圧を保持するサンプルホールド手段と、前記直流信号と保持した前記測定誤差電圧との何れか一方を選択して前記 $\Delta\Sigma$ A/D変換器に出力する選択手段とを備えたことを特徴とするものである。

【0024】

【作用】 $\Delta\Sigma$ A/D変換器においてアナログ入力を第1ステップでA/D変換し、変換の発生する測定誤差電圧を第2ステップでA/D変換することにより、“N1+N2”のクロックにより、“log₂(N1+N2)”ビット分解能のA/D変換を行うことができる。

【0025】

【実施例】以下本発明を図面を用いて詳細に説明する。

4

図1は本発明に係る直流信号測定用A/D変換器の一実施例を示す構成ブロック図である。ここで、8~12は図6と同一符号を付してある。

【0026】図1において13はマルチプレクサ、14はバッファ回路、15はスイッチ回路、16は容量、100bはアナログ入力である。また、13及び14は選択手段50を、15及び16はサンプルホールド手段51を、8~12は $\Delta\Sigma$ A/D変換器52をそれぞれ構成している。

【0027】アナログ入力100bはマルチプレクサ13の一方の入力端子に入力され、マルチプレクサ13の出力はバッファ回路14を介して減算器8の加算入力端子に接続される。減算器8の出力は積分器9に接続される。

【0028】また、積分器9の出力は比較器10の非反転入力端子及びスイッチ回路15の一端に接続され、比較器10の反転入力端子は接地される。

【0029】比較器10の出力は1ビットD/A変換器11及びカウンタ12に接続され、1ビットD/A変換器11の出力は減算器8の減算入力端子に接続される。

【0030】一方、スイッチ回路15の他端は容量16の一端及びマルチプレクサ13の他方の入力端子に接続され、容量16の他端は接地される。

【0031】ここで、図1に示す実施例の動作を図2を用いて説明する。図2は本発明に係る直流信号測定用A/D変換器の具体例を示す回路図である。図2において17, 18, 19, 21, 22, 23, 24, 26, 27, 28, 30, 31, 34及び35はスイッチ回路、20及び32は演算増幅器、25, 29, 33及び36は容量、37は比較器、38はカウンタである。

【0032】また、100bはアナログ入力、103及び104は基準電圧、105はクロック信号、106は比較器37の出力信号である。さらに、図2中“rst”、“fst”、“scd”、“str”、“p1”、“p2”、“p1p”及び“p1n”はそれぞれ対応するスイッチ回路の“ON/OFF”を制御する制御信号である。

【0033】さらに、17~19は図1に示すマルチプレクサ13を、20は図1に示すバッファ回路14を、26及び27は図1に示す1ビットD/A変換器11を、21~25, 28~34は図1に示す減算器8及び積分器9を、37は図1に示す比較器10を、35及び36は図1に示すスイッチ回路15及び容量16を、38は図1に示すカウンタ12をそれぞれ構成している。

【0034】アナログ入力100bはスイッチ回路18の一端に入力され、スイッチ回路18の他端はスイッチ回路17及び19の一端と演算増幅器20の非反転入力端子に接続される。演算増幅器20の出力は演算増幅器20の反転入力端子及びスイッチ回路21の一端に接続される。

5

【0035】スイッチ回路21の他端はスイッチ回路22の一端及び容量25の一端に接続され、容量25の他端はスイッチ回路23及び24の一端にそれぞれ接続される。また、スイッチ回路24の他端はスイッチ回路30及び34の一端、演算増幅器32の反転入力端子、容量33の一端にそれぞれ接続される。

【0036】一方、基準電圧103及び104はスイッチ回路26及び27の一端にそれぞれ接続され、スイッチ回路26の他端はスイッチ回路27の他端、スイッチ回路28の一端及び容量29の一端にそれぞれ接続される。また、容量29の他端はスイッチ回路30の他端及びスイッチ回路31の一端に接続される。

【0037】演算増幅器32の出力は容量33の他端、スイッチ回路34の他端、スイッチ回路35の一端及び比較器37の非反転入力端子にそれぞれ接続される。スイッチ回路35の他端は容量36の一端及びスイッチ回路17の他端に接続される。

【0038】比較器37の出力はカウンタ38に接続され、カウンタ38のクロック入力端子にはクロック信号106が入力される。

【0039】さらに、スイッチ回路19、22、23、28及び31と、容量36の他端と、演算増幅器32の非反転入力端子と、比較器37の反転入力端子とは接地される。

*

$$p1p = p1 \cdot V_{cr}$$

(5)

$$p1n = p1 \cdot V'_{cr}$$

(6)

となっており、図1に示す1ビットD/A変換器11として動作する。

【0045】また、カウンタ38でカウントされた第1ステップ“ロ”におけるカウント数“N1”は出力信号※30

$$N1 = N_{s1} + N_{s1}$$

となる。

【0046】アナログ入力100bが直流信号であることから、第1ステップにおける演算増幅器32の出力信★

$$V_{s11} = N1 \cdot V_i - (N_{s1} - N_{s1}) \cdot V_i$$

$$\approx E1$$

(8)

となる。

【0047】第3に、測定誤差保持ステップ“ハ”において制御信号“str”によりスイッチ回路19及び35が“ON”になり、式(8)の測定誤差電圧“E1”が容量36に充電される。

【0048】第4に、リセットステップ“ニ”において制御信号“rst”及び“p2”によってスイッチ回路19、22、23、28、31及び34が“ON”になり、容量25、29及び33の電荷が放電される。★

$$N2 = N_{s2} + N_{s2}$$

となる。

【0051】測定誤差電圧“E1”も直流信号であるこ

$$V_{s22} = N2 \cdot E1 - (N_{s2} - N_{s2}) \cdot V_i$$

$$\approx 0$$

(10)

6

*【0040】図2に示す具体例の動作は図3のタイミング図に示すように、リセットステップ“イ”、第1ステップ“ロ”、測定誤差保持ステップ“ハ”、リセットステップ“ニ”及び第2ステップ“ホ”の5つのステップから成り立っている。

【0041】また、図3において(a)は制御信号“rst”、(b)は制御信号“fst”、(c)は制御信号“scd”、(d)は制御信号“str”、(e)は制御信号“p1”、(f)は制御信号“p2”、(g)は比較器37の出力信号106、(h)は制御信号“p1p”、(i)は制御信号“p1n”をそれぞれ示している。

【0042】先ず第1に、リセットステップ“イ”において制御信号“rst”及び“p2”によってスイッチ回路19、22、23、28、31及び34が“ON”になり、容量25、29及び33の電荷が放電される。

【0043】第2に、第1ステップ“ロ”において制御信号“fst”によりスイッチ回路18が“ON”になり、アナログ入力100bを選択してA/D変換を行う。

【0044】ここで、制御信号“p1p”及び“p1n”は比較器37の出力信号106及びその反転信号を“V_{cr}”及び“V'_{cr}”とした時、

※106が“1”の状態のカウント数を“N_{s1}”、出力信号106が“0”の状態のカウント数を“N_{s1}”とすれば、

(7)

★号“V_{s11}”は、アナログ入力100bを“V_i”、基準電圧103及び104を“V_s”及び“-V_s”、測定誤差電圧を“E1”とすれば、

☆【0049】第5に、第2ステップ“ホ”において制御信号“scd”によりスイッチ回路17が“ON”になり、容量36に充電された測定誤差電圧“E1”を選択してA/D変換を行う。

【0050】ここで、カウンタ38でカウントされた第2ステップ“ホ”におけるカウント数“N2”は出力信号106が“1”の状態のカウント数を“N_{s2}”、出力信号106が“0”の状態のカウント数を“N_{s2}”とすれば、

(9)

とから、第2ステップにおける演算増幅器32の出力信号“V_{s22}”は、

となる。

*グ入力100b"V₁"は、

【0052】式(10)を代入するとアナログ*

$$\begin{aligned} V_1 &= (N_{p1} - N_{s1}) \cdot V_2 / N1 \\ &\quad + (N_{p2} - N_{s2}) \cdot V_2 / (N1 \cdot N2) \\ &= 1 / (N1 \cdot N2) \cdot [N2 \cdot (N_{p1} - N_{s1}) + (N_{p2} - N_{s2})] \cdot V_2 \end{aligned}$$

(11)

となる。

【0053】この結果、ΣΔA/D変換器52においてアナログ電圧100bを第1ステップでA/D変換し、変換の際生じる測定誤差電圧を第2ステップでA/D変換することにより、式(11)から分かるように" N1 + N2 " のクロックにより" N1 · N2 " カウントの分解能、即ち、" log₂ (N1 · N2) " ビット分解能のA/D変換を行うことができる。

【0054】また、測定誤差電圧をA/D変換するマルチステップ構成としているため、高分解能を得ようとした場合、従来のΣΔA/D変換器と比較して変換時間が短くなる。

【0055】さらに、ΣΔA/D変換器を基本として構成しているので、2重積分型A/D変換器の場合のように外付け部品を必要とせずIC化が容易になる。また、アナログ入力100bの極性を判断して基準電圧の極性を選択する手段も不要になる。

【0056】

【発明の効果】以上説明したことから明らかなように、本発明によれば次のような効果がある。ΣΔA/D変換器においてアナログ電圧を第1ステップでA/D変換し、変換の際生じる測定誤差電圧を第2ステップでA/D変換することにより、高分解能、短変換時間で尚且つIC化が容易である直流信号測定用A/D変換器が実現

できる。

【図面の簡単な説明】

【図1】本発明に係る直流信号測定用A/D変換器の一実施例を示す構成ブロック図である。

【図2】本発明に係る直流信号測定用A/D変換器の具体例を示す回路図である。

【図3】具体例の動作を示すタイミング図である。

【図4】従来の2重積分型A/D変換器の一例を示す回路図である。

【図5】図4に示す従来例の動作を示すタイミング図である。

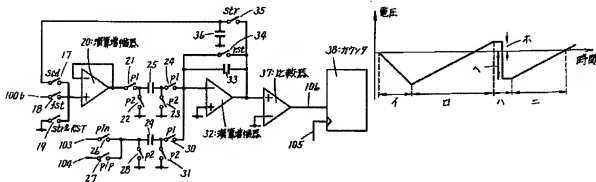
【図6】従来のΣΔA/D変換器の一例を示す構成ブロック図である。

【符号の説明】

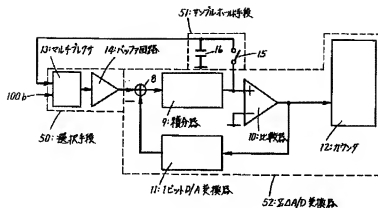
- 1, 3, 20, 32 演算増幅器
- 2 抵抗
- 4, 16, 25, 29, 33, 36 容量
- 5, 10, 37 比較器
- 6, 7 スイッチ回路
- 8 減算器
- 9 積分器
- 11 1ビットD/A変換器
- 12, 38 カウンタ
- 13 マルチプレクサ
- 14 バッファ回路
- 15, 17, 18, 19, 21, 22, 23, 24, 26, 27, 28, 30
- 31, 34, 35 スイッチ回路
- 50 選択手段
- 51 サンプル・ホールド手段
- 52 ΣΔA/D変換器
- 100, 100a, 100b アナログ入力
- 101 カウント出力
- 102, 103, 104 基準電圧
- 105 クロック信号
- 106 出力信号

【図2】

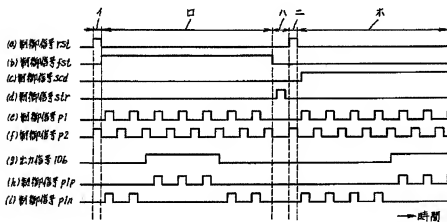
【図5】



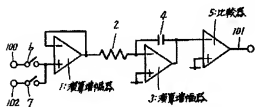
【図1】



【図3】



【図4】



【図6】

